

# به نام خدا

ساختار کامپیوتر (۲۵۷۵۴)

امتحان میان ترم دوّم

۱۳۹۵/۰۲/۲۳

۱. ماشین حالت (State Machine) پیاده‌سازی Multi-Cycle پردازنده MIPS که در متن درس مورد بحث قرار گرفت، عیناً در انتهای برگه آورده شده است. ساختار مسیره داده (Data Path) مورد نیاز را رسم نمایید. (۳۰ نمره)
۲. اگر رجیستر فایل فقط دارای یک پورت خواندن باشد، یعنی فقط به ازای RR1 محتوای رجیستر را در خروجی RD1 قرار دهد و دیگر RR2 و RD2 را نداشته باشد، در این صورت بایستی در ماشین حالت فوق چه تغییراتی ایجاد نمود؟ (۲۰ نمره)
۳. فرض کنید دستور جدیدی به فرمت R و یا I و با نام  $\text{swap } \$rs, \$rt$  به مجموعه دستورات پردازنده اضافه شده است که محتوای دو رجیستر  $\$rs$  و  $\$rt$  را جابجا می‌کند، یعنی به صورت همزمان:  
 $\$rt \leftarrow \$rs$  و  $\$rs \leftarrow \$rt$   
تغییر مورد نیاز در مسیره داده و کنترلر پیاده‌سازی Multi-Cycle (موضوع سؤال یک) برای اجرای این دستورالعمل را مشخص نمایید. (۲۰ نمره)
۴. اگر دستور فوق به صورت  $\text{swap } \$rt, \$rd$  و به فرمت R تعریف شود، تغییرات مورد نیاز چه خواهند بود؟ (۱۰ نمره)
۵. برای اجرای دستور جدید  $\text{swap}$  که در بالا معرفی شد، چه تغییراتی بایستی در منابع (Resource) پیاده‌سازی Single-Cycle انجام گیرد؟ (۲۰ نمره)

<div>State Machine</div> <div><ul style="list-style-type: none"><li>Reset: <math>\text{MRE} \leftarrow 1</math> <math>\text{MAR} \leftarrow \text{PC}</math> <math>\text{Goto Fetch1}</math></li><li>Fetch1: <math>\text{Goto Fetch2}</math></li><li>Fetch2: <math>\text{Goto Fetch3}</math></li><li>Fetch3: <math>\text{MRE} \leftarrow 0</math> <math>\text{PC} \leftarrow \text{PC} + 4</math> <math>\text{IR} \leftarrow \text{Mem. Read Data}</math> <math>\text{Goto Decode}</math></li></ul><div>\$Prepare-Fetch</div><div>Reminder: Memory Address to Read-Data propagation delay is 7 ns, i.e. 3 cycles <math>\text{PC} \leftarrow \text{PC} + 4</math> can occur in any of Fetch1, Fetch2 or Fetch3</div></div>	<div>State Machine, cont.</div> <div><ul style="list-style-type: none"><li>Decode: <math>A \leftarrow \text{RegFile}[\text{IR}[25:21]]</math> <math>B \leftarrow \text{RegFile}[\text{IR}[20:16]]</math> On <math>\text{IR}[31:26, 5:0]</math>, Goto:<ul style="list-style-type: none"><li>Exec-alu-R</li><li>Exec-alu-l</li><li>Exec-lw-1</li><li>Exec-sw-1</li><li>Exec-beq-1</li></ul></li><li>Exec-alu-R: <math>\text{RegFile}[\text{IR}[15:11]] \leftarrow A \otimes B</math> \$Prepare-Fetch</li><li>Exec-alu-l: <math>\text{RegFile}[\text{IR}[20:16]] \leftarrow A \otimes \text{Sgn/Zro-Ex}(\text{IR}[15:0])</math> \$Prepare-Fetch</li></ul></div>
<div>State Machine, cont.</div> <div><ul style="list-style-type: none"><li>Exec-lw-1: <math>\text{MAR} \leftarrow A + \text{SgnEx}(\text{IR}[15:0])</math> <math>\text{MRE} \leftarrow 1</math> <math>\text{Goto Exec-lw-2}</math></li><li>Exec-lw-2 <math>\text{Goto Exec-lw-3}</math></li><li>Exec-lw-3 <math>\text{Goto Exec-lw-4}</math></li><li>Exec-lw-4: <math>\text{MRE} \leftarrow 0</math> <math>\text{MDR} \leftarrow \text{Mem. Read Data}</math> <math>\text{Goto Exec-lw-5}</math></li><li>Exec-lw-5: <math>\text{RegFile}[\text{IR}[20:16]] \leftarrow \text{MDR}</math> \$Prepare-Fetch</li></ul></div>	<div>State Machine, cont.</div> <div><ul style="list-style-type: none"><li>Exec-sw-1: <math>\text{MAR} \leftarrow A + \text{SgnEx}(\text{IR}[15:0])</math> <math>\text{MWE} \leftarrow 1</math> <math>\text{Goto Exec-sw-2}</math></li><li>Exec-sw-2 <math>\text{MWE} \leftarrow 0</math> <math>\text{Goto Exec-sw-3}</math></li><li>Exec-sw-3 \$Prepare-Fetch</li><li>Exec-beq-1: <math>A - B</math> if (aluZero) <math>\text{Goto Exec-beq-2}</math> else \$Prepare-Fetch</li><li>Exec-beq-2: <math>\text{PC}, \text{MAR} \leftarrow \text{PC} + \text{SgnEx}(\text{IR}[15:0]) \times 4</math> <math>\text{MRE} \leftarrow 1</math> <math>\text{Goto Fetch1}</math></li></ul></div>