

به نام خدا

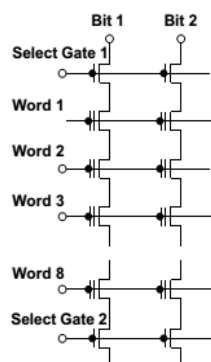
ساختار کامپیوتر (۲۵۷۵۴)

امتحان پایان ترم

۱۳۹۵/۰۴/۰۵

۱. فرض کنید برای محاسبه $Y = A - B - C - D$ که در آن همه ورودی‌ها و خروجی ۳۲ بیتی هستند، تنها منبع (Resource) محاسباتی قابل استفاده در پیاده‌سازی، سه تفریق‌کننده ۳۲ بیتی با تأخیر ۶۴۰ پیکوثانیه (10^{-12} ثانیه) است. ضمناً تعداد دلخواهی رجیستر با تأخیر Setup-Time و Clock-to-Q هر یک برابر با ۳۰ پیکوثانیه نیز در اختیار اند. ساختار پایپ‌لاینی طراحی کنید که بتوان محاسبات فوق را با حداکثر Throughput ممکن انجام داد. این حداکثر چقدر است؟ (۱۰ نمره)

۲. در سؤال فوق، اگر به جای سه عدد تفریق‌کننده ۳۲ بیتی، شش عدد تفریق‌کننده ۱۶ بیتی و یا ۱۲ عدد تفریق‌کننده هشت بیتی به ترتیب با تأخیر ۳۲۰ و ۱۶۰ پیکوثانیه در اختیار باشند، حداکثر Throughput ممکن چه مقدار خواهد بود؟ (نیازی به رسم ساختار پایپ‌لاین در این دو مورد نیست) (۸ نمره)



۳. در ساختار یک حافظه NAND Flash مطابق شکل مقابل، فرآیند خواندن از بیت‌های اول و دوم کلمه سوم چگونه انجام می‌شود؟ (۱۰ نمره)

۴. یک پیاده‌سازی پایپ‌لاین پردازنده MIPS را در نظر بگیرید که در آن ترتیباتی داده شده است که هیچگاه برای وابستگی داده‌ها (Data Dependency) متوقف (Stall) نشود. در این پایپ‌لاین، Delay Slot برابر با سه است. اگر ۲۰٪ دستورات، دستورات پرش شرطی باشند و از یک مدار تخمین از نوع Always Not Taken با دقت ۵۵٪ استفاده شود، CPI (Clock per Instruction) کل پایپ‌لاین چه مقدار خواهد شد؟ (۱۰ نمره)

۵. یک پردازنده با ۲۴ خط آدرس $A[23:0]$ به یک حافظه Cache با ظرفیت ۴۰۹۶ (2^{12}) کلمه متصل است. در هر یک از ساختارهای زیر، مشخص کنید بایستی کدام خطوط آدرس به همراه چه اطلاعات جانبی دیگر در مدار مدیریت Cache (علاوه بر کیی از حافظه اصلی) نگهداری شود؟ مقدار حافظه سریع برای نگهداری این اطلاعات چقدر است؟ (۴×۵ نمره)

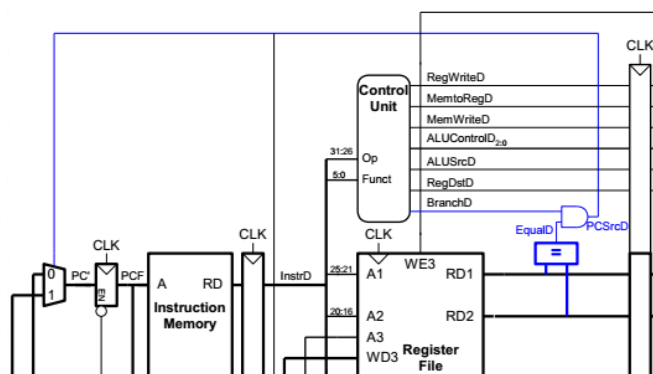
- الف) 8-word Block, Direct Mapped, Write-Through ب) 8-word Block, 8-way Set Associative, Write-Through
ج) 16-word Block, 4-way Set Associative, Write-Back د) 16-word Block, Fully Associative, Write-Back

۶. در هریک از چهار حالت فوق، اگر آدرس‌های متوالی ذیل متناوباً توسط پردازنده تولید شود، Hit-Rate نهایتاً به چه میزان میل خواهد کرد؟
الف) $0x000000$ الی $0x000FFF$ ب) $0x000000$ الی $0x00FFFF$ ج) $0x000000$ الی $0x0FFFFFFF$ د) $0x000000$ الی $0xFFFFFFFF$ (۷ نمره)

۷. قطعه کد مقابل را در نظر بگیرید. برای اجرای صحیح این قطعه کد در پایپ‌لاین پردازنده، کنترلر بایستی در دو حالت زیر بعد از کدام دستورات و به چه تعداد bubble قرار دهد؟ (۸ نمره)

```
add $t0, $s0, $s1
sub $t0, $t0, $s2
lw $t1, 60($t0)
and $t2, $t1, $t0
```

- الف) پایپ‌لاین جز در Register File دارای هیچ قابلیت Data Forwarding نیست.
ب) کلیه Data Forwarding های ممکن در ساختار پایپ‌لاین پیاده‌سازی شده اند.



۸. فرض کنید مقایسه مقادیر رجیسترها برای اجرای دستورات پرش (bne و beq) به جای استفاده از ALU موجود در مرحله EXE، همچنانکه در شکل مقابل نشان داده شده است، در مرحله DE (دیکود) توسط یک مقایسه‌کننده مستقل انجام شده و از همان مرحله اعمال می‌گردد.
الف) Delay Slot دستورات پرش در این حالت به چه میزان خواهد بود؟ چرا؟ (۷ نمره)
ب) در صورت وابستگی رجیسترهایی که در یک دستور پرش خوانده می‌شوند به رجیسترهایی که در دستورات قبل آن نوشته شده‌اند، بایستی چه اقدامی صورت پذیرد؟ این اقدامات را در کلیه حالت‌های ممکن بصورت دقیق مشخص کنید. (۲۰ نمره)